



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09223102 A**

(43) Date of publication of application: 26 . 08 . 97

(51) Int. Cl

G06F 13/28

(21) Application number: 08018612

(22) Date of filing: 05 . 02 . 96

(30) Priority: 14 . 12 . 95 JP 07325318

(71) Applicant: **RICOH CO LTD**

(72) Inventor: ISHIGAMI MASAYUKI

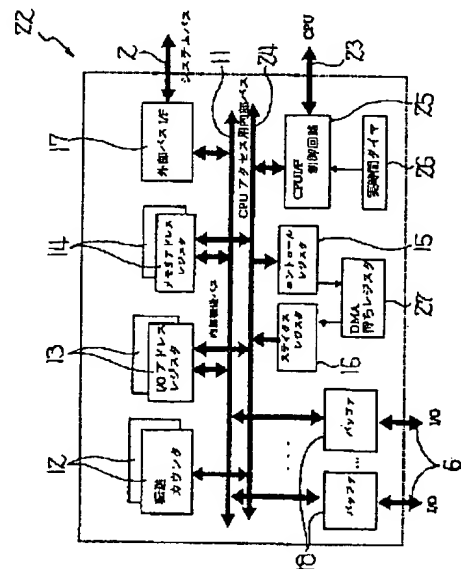
(54) DIRECT MEMORY ACCESS CONTROLLER

(57) Abstract:

PROBLEM TO BE SOLVED: To perform plural direct transfer processes in desired order so as to improve the total throughput by controlling the direct transfer processes in order according to held priority.

SOLUTION: A timer circuit 26 always detects the current time and informs a CPU I/F control circuit 25 of the time. A DMA stand-by register 27 holds the priority of plural direct transfer processes when control data for the DMA transfer processes are set in a control register 15. More in detail, when the control data of the DMA transfer are inputted from a CPU 4 or an I/O 7 to a DMAC 22, the CPU I/F control circuit 25 detects the time by the timer circuit 26 and sets the priority of the DMA transfer processes as the order of the time in a DMA stand-by register 27. Thus, when the priority of the DMA transfer is set, the CPU I/F control circuit 25 controls the order of the DMA transfer processes according to the held priority.

COPYRIGHT: (C)1997,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223102

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl.⁶

G 0 6 F 13/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 13/28

技術表示箇所

3 1 0 H

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平8-18612

(22) 出願日 平成8年(1996)2月5日

(31) 優先権主張番号 特願平7-325318

(32) 優先日 平7(1995)12月14日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 石上 正之

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

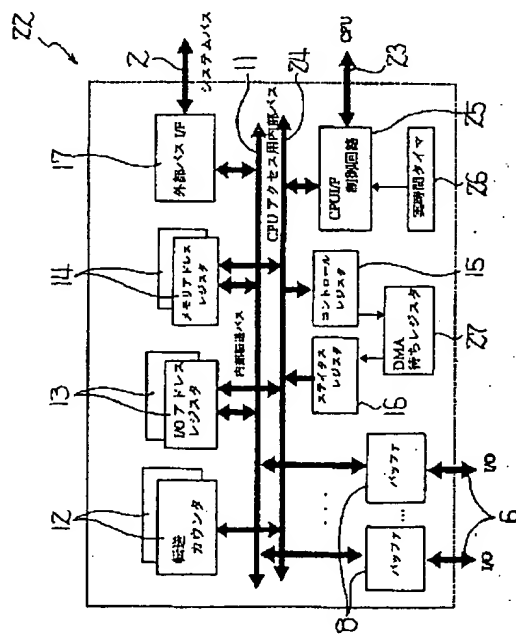
(74) 代理人 弁理士 柏木 明 (外1名)

(54) 【発明の名称】 ダイレクトメモリアクセスコントローラ

(57) 【要約】

【課題】 複数のDMA転送を連続して実行する場合の
全体的な処理効率を向上させる。

【解決手段】 複数のDMA転送の制御データをデータ
保持手段12～16に設定すると共に、複数のDMA転
送の優先度を優先度保持手段27に保持させ、転送制御
手段25の制御により優先度の順番で複数のDMA転送
を実行させる。複数のDMA転送を所望の順番に実行す
ることにより、全体的な処理効率を向上させる。



【特許請求の範囲】

【請求項1】 各種データを伝送するデータベースにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データベースを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制

御データによる複数のダイレクト転送の優先度を保持する優先度保持手段を設け、保持された優先度に従って複数のダイレクト転送の順番を制御する転送制御手段を設けたことを特徴とするダイレクトメモリアクセスコントローラ。

【請求項2】 データ保持手段は、ダイレクト転送の実行中にも新規の制御データの設定を受け付け、優先度保持手段は、ダイレクト転送の実行中に新規の制御データが設定されると、実行中のダイレクト転送も含めて優先度を保持し、転送制御手段は、実行中のダイレクト転送も含めて優先度に従って複数のダイレクト転送の順番を制御することを特徴とする請求項1記載のダイレクトメモリアクセスコントローラ。

【請求項3】 ダイレクト転送の一時中止の要求度を保持する要求度保持手段を設け、転送制御手段は、複数のダイレクト転送を連続して実行する場合に、次のダイレクト転送の優先度が一時中止の要求度より低いと、その開始を一時中止してデータベースをプロセッサに一時開放することを特徴とする請求項1記載のダイレクトメモリアクセスコントローラ。

【請求項4】 各種データを伝送するデータベースにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データベースを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データに従って複数のダイレクト転送を順番に実行させる転送制御手段を設け、連続して実行される複数のダイレクト転送のデータ数をカウントする転送カウント手段を設け、複数個の前記入出力装置に対して順番に実行したダイレクト転送のデータ数と所定の基準値とを比較するデータ比較手段を設け、基準値をデータ数が超過していると次の前記入出力装置のダイレクト転送の開始を一時中止して占有した前記データベースを前記プロセッサに一時開放する中止制御手段を設けたことを特徴とするダイレクトメモリアクセスコントローラ。

【請求項5】 データ比較手段は、実行中のダイレクト

転送も含めてデータ数と所定の基準値とを比較し、中止制御手段は、基準値にデータ数が到達すると実行中のダイレクト転送も一時中止することを特徴とする請求項4記載のダイレクトメモリアクセスコントローラ。

【請求項6】 各種データを伝送するデータベースにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データベースを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データに従って複数のダイレクト転送を順番に実行させる転送制御手段を設け、これから連続して実行される複数のダイレクト転送のデータ数を検出する転送検出手段を設け、複数個の前記入出力装置に対して順番に実行するダイレクト転送のデータ数と所定の基準値とを比較するデータ比較手段を設け、基準値をデータ数が超過しない単位に複数のダイレクト転送を分割する転送分割手段を設け、連続して実行される複数のダイレクト転送を分割の単位で一時中止して前記データベースを前記プロセッサに一時開放する中止制御手段を設けたことを特徴とするダイレクトメモリアクセスコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイレクト転送を実行するダイレクトメモリアクセスコントローラに関する。

【0002】

【従来の技術】現在、データベースに複数のデバイスを接続したデータ処理装置において、ダイレクト転送であるDMA (Direct Memory Access) 転送によりデータ転送を高速化すると共にプロセッサの負担を軽減することが行なわれている。このような処理動作を実現するダイレクトメモリアクセスコントローラであるDMAC (DMAC ontroller) は、各種データを伝送するデータベースにより、各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続される。そして、ダイレクト転送の制御データが設定されると、データベースを占有してプロセッサを介在させることなくメモリと入出力装置との間で各種データをダイレクト転送させる。

【0003】このようなDMACは、上述のように制御データに対応してダイレクト転送を実行するが、これは一個の入出力装置とメモリとの間で行なう一回に制限され、複数のダイレクト転送を連続して実行することができなかった。このような課題を解決するため、特開平3-156554号公報に開示されたDMACは、制御データである入出力装置とメモリとのアドレスを保持するレジスタ

を複数組設け、複数のダイレクト転送を連続して実行する。

【0004】このようなDMACを備えたデータ処理装置の一従来例を図5及び図6に基づいて以下に説明する。まず、このデータ処理装置1は、システムバス2を有している。このシステムバス2には、RAM(Random Access Memory)等のメインメモリ3、プロセッサであるCPU(Central Processing Unit)4、ダイレクトメモリアクセスコントローラであるDMAC5が接続されており、このDMAC5にも、前記システムバス2と別体の複数の外部バス6により、複数の入出力装置であるI/O(Input/Output)7が接続されている。

【0005】前記システムバス2は、データバスとアドレスバスとコントロールバスとを有しており、前記データバスにより各種データを転送し、前記アドレスバスにより転送データのアドレスを転送し、前記コントロールバスにより、リードやライト等の各種の制御データを転送する。つまり、各種データのDMA転送も前記データバスにより実行し、DMA転送の要求信号や応答信号も前記コントロールバスにより転送する。

【0006】前記メインメモリ3は、各種データを書換自在に一時記憶するので、DMA転送する各種データの入力や出力も実行する。前記CPU4は、各種のデータ処理を実行するので、その一つとしてダイレクト転送の制御データを前記DMAC5に設定することも実行する。前記I/O7は、各種データを入出力するデバイスからなり、例えば、前記メインメモリ3に画像データを出力するイメージスキャナ、前記メインメモリ3から画像データを入力するディスプレイ、前記メインメモリ3と画像データを入出力するHDD(Hard Disk Drive)、

等からなる。

【0007】前記DMAC5は、DMA転送を実行するコントローラであり、図6に示すように、内部バス11を有している。この内部バス11には、複数の転送カウンタ12、複数のI/Oアドレスレジスタ13、複数のメモリアドレスレジスタ14、データ保持手段であるコントロールレジスタ15、ステータスレジスタ16、外部バスI/F制御回路17、複数のバッファ18等が接続されており、前記外部バスI/F制御回路17に前記システムバス2が接続され、複数の前記バッファ18に前記I/O7が各々接続されている。

【0008】前記転送カウンタ12は、実行されるDMA転送のデータ数をカウントするので、ここでは複数のDMA転送に対応した複数である。前記メモリアドレスレジスタ14は、DMA転送の制御データの一部として前記メインメモリ3のアドレスが設定され、前記I/Oアドレスレジスタ13は、DMA転送の制御データの一部として前記I/O7のアドレスが設定される。これらのアドレスは一方が転送元の場合に他方が転送先として設定され、前記レジスタ13、14も、複数のDMA転

送に対応した複数である。

【0009】前記コントロールレジスタ15は、DMA転送の動作モードや起動要求等が制御データの一部として設定され、前記ステータスレジスタ16は、実行中のDMA転送の動作状態をステータスとして保持する。前記外部バスI/F制御回路17は、前記CPU4や前記メインメモリ3との各種のデータ通信を仲介し、前記バッファ18は、前記I/O7との各種のデータ通信を仲介する。

【0010】上述のような構造のデータ処理装置1では、例えば、I/O7がバス調停回路(図示せず)にDMA転送を要求し、このバス調停回路がDMAC5にバス使用権を与えると、このDMAC5は、システムバス2をCPU4から切り離して占有し、メインメモリ3とI/O7との間で各種データのDMA転送を実行する。

【0011】このようにDMA転送を実行する場合、その制御データの一部であるメインメモリ3とI/O7とのアドレスは、DMAC5のレジスタ13、14に保持されるが、これらのレジスタ13、14が複数組設けられているので、DMAC5は複数のDMA転送を連続して実行することができる。

【0012】なお、このようなDMAC5によるDMA転送の実行中、CPU4はシステムバス2を使用できないが、DMA転送の開始以前に処理命令や処理データを保持していれば、そのデータ処理を内部で実行することができる。つまり、CPU4が関与することなくメインメモリ3とI/O7との間でデータ転送が高速に実行されるので、CPU4の負担を増加させることなくデータ処理とデータ転送とが高速に実行される。

【0013】

【発明が解決しようとする課題】上述したデータ処理装置1は、DMA転送によりデータ転送とデータ処理とを高速化することができ、特に複数のDMA転送を連続して実行することができる。

【0014】しかし、この複数のDMA転送は、最初に設定された順番で実行されるので、複数のDMA転送が最適な順番で実行されず、重要なDMA転送の開始が遅滞することも発生する。これを防止するためには、最初に複数のDMA転送を最適な順番に設定することが想定できるが、これを実現する手段は特開平3-156554号公報には開示されていない。

【0015】しかも、複数のDMA転送を連続して実行する場合、これが終了するまで新規のDMA転送を設定できないので、複数のDMA転送を連続して実行している最中に、より重要なDMA転送の必要が発生しても、これを迅速に開始することができない。

【0016】同様に、複数のDMA転送を連続して実行する場合、これが終了するまでCPU4はシステムバス2を使用することができないので、CPU4が内部処理

を完了して重要なデータ処理の開始を要望しても、これを迅速に開始することができない。

【0017】つまり、上述したデータ処理装置1は、複数のDMA転送を連続して実行することはできるが、全体的な作業効率を向上させることは困難である。

【0018】

【課題を解決するための手段】請求項1記載の発明は、各種データを伝送するデータバスにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データバスを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データによる複数のダイレクト転送の優先度を保持する優先度保持手段を設け、保持された優先度に従って複数のダイレクト転送の順番を制御する転送制御手段を設けた。従って、複数のダイレクト転送の制御データがデータ保持手段に設定されると、この制御データによる複数のダイレクト転送の優先度を優先度保持手段が保持する。この優先度に従って転送制御手段が複数のダイレクト転送の順番を制御するので、複数のダイレクト転送が所望の順番に実行される。

【0019】請求項2記載の発明では、請求項1記載の発明において、データ保持手段は、ダイレクト転送の実行中も新規の制御データの設定を受け付け、優先度保持手段は、ダイレクト転送の実行中に新規の制御データが設定されると、実行中のダイレクト転送も含めて優先度を保持し、転送制御手段は、実行中のダイレクト転送も含めて優先度に従って複数のダイレクト転送の順番を制御する。従って、ダイレクト転送の実行中に新規のダイレクト転送がデータ保持手段に設定されると、実行中のダイレクト転送も含んで全部のダイレクト転送の優先度が優先度保持手段により保持される。このように保持された優先度に従って複数のダイレクト転送の順番が転送制御手段により制御されるので、新規に設定されたダイレクト転送の優先度が待機中のダイレクト転送より高いと、待機中のダイレクト転送の順番が更新される。特に、新規に設定されたダイレクト転送の優先度が実行中のダイレクト転送より高いと、実行中のダイレクト転送が一時中止されて新規のダイレクト転送が優先的に実行される。

【0020】請求項3記載の発明では、請求項1記載の発明において、ダイレクト転送の一時中止の要求度を保持する要求度保持手段を設け、転送制御手段は、複数のダイレクト転送を連続して実行する場合に、次のダイレクト転送の優先度が一時中止の要求度より低いと、その開始を一時中止してデータバスをプロセッサに一時開放

する。従って、連続して実行される複数のダイレクト転送の優先度が基準値より低下すると、その時点で転送制御手段は複数のダイレクト転送の連続の実行を一時中止してデータバスをプロセッサに一時開放する。複数のダイレクト転送を優先度の順番で連続して実行する場合でも、優先度が低いダイレクト転送よりプロセッサのデータ処理が優先的に実行される。

【0021】請求項4記載の発明は、各種データを伝送するデータバスにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データバスを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データに従って複数のダイレクト転送を順番に実行させる転送制御手段を設け、連続して実行される複数のダイレクト転送のデータ数をカウントする転送カウント手段を設け、複数個の前記入出力装置に対して順番に実行したダイレクト転送のデータ数と所定の基準値とを比較するデータ比較手段を設け、基準値をデータ数が超過していると次の前記入出力装置のダイレクト転送の開始を一時中止して占有した前記データバスを前記プロセッサに一時開放する中止制御手段を設けた。従って、複数のダイレクト転送の制御データがデータ保持手段に設定されると、この制御データに従って転送制御手段が複数のダイレクト転送を順番に実行させる。このように連続して実行される複数のダイレクト転送のデータ数を転送カウント手段がカウントし、複数個の入出力装置に対して順番に実行したダイレクト転送のデータ数と所定の基準値とをデータ比較手段が比較し、基準値をデータ数が超過していると、中止制御手段が次の入出力装置のダイレクト転送の開始を一時中止して占有したデータバスをプロセッサに一時開放する。複数のダイレクト転送を連続して実行する場合でも、そのデータ数が基準値を超過した時点で次のダイレクト転送が一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行できる。

【0022】請求項5記載の発明では、請求項4記載の発明において、データ比較手段は、実行中のダイレクト転送も含めてデータ数と所定の基準値とを比較し、中止制御手段は、基準値にデータ数が到達すると実行中のダイレクト転送も一時中止する。従って、複数の制御データに従って複数のダイレクト転送が順番に実行される際、そのデータ数がカウントされてデータ比較手段により基準値と比較されるが、これが実行中のダイレクト転送も含めてリアルタイムに実行される。このリアルタイムの処理で基準値にデータ数が到達すると、中止制御手段は実行中のダイレクト転送でも一時中止する。複数の

入出力装置のダイレクト転送を連続して実行する場合でも、そのデータ数が基準値に到達した時点で実行中のダイレクト転送まで一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行できる。

【0023】請求項6記載の発明は、各種データを伝送するデータバスにより各種データを記憶するメモリと各種データを入出力する入出力装置と各種のデータ処理を実行するプロセッサとに接続され、ダイレクト転送の制御データが設定されると前記データバスを占有して前記プロセッサを介在させることなく前記メモリと前記入出力装置との間で各種データをダイレクト転送させるダイレクトメモリアクセスコントローラにおいて、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データに従って複数のダイレクト転送を順番に実行させる転送制御手段を設け、これから連続して実行される複数のダイレクト転送のデータ数を検出する転送検出手段を設け、複数個の前記入出力装置に対して順番に実行するダイレクト転送のデータ数と所定の基準値とを比較するデータ比較手段を設け、基準値をデータ数が超過しない単位に複数のダイレクト転送を分割する転送分割手段を設け、連続して実行される複数のダイレクト転送を分割の単位で一時中止して前記データバスを前記プロセッサに一時開放する中止制御手段を設けた。従って、複数のダイレクト転送の制御データがデータ保持手段に設定されると、この制御データに従って転送制御手段が複数のダイレクト転送を順番に実行させる。この時、これから連続して実行される複数のダイレクト転送のデータ数を転送検出手段が検出し、複数個の入出力装置に対して順番に実行するダイレクト転送のデータ数と所定の基準値とをデータ比較手段が比較する。基準値をデータ数が超過しない単位に転送分割手段が複数のダイレクト転送を分割し、連続して実行される複数のダイレクト転送を中止制御手段が分割の単位で一時中止してデータバスをプロセッサに一時開放する。これから連続して実行される複数のダイレクト転送のデータ数が一時中止の要求度を超過していると、これが基準値を超過しない単位に分割されてから順番に実行され、その合間にダイレクト転送が一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行できる。

【0024】

【発明の実施の形態】本発明の実施の一形態を図1及び図2に基づいて以下に説明する。なお、本実施の形態で示すデータ処理装置21に関し、一従来例として前述したデータ処理装置1と同一の部分は、同一の名称及び符号を利用して詳細な説明は省略する。

【0025】まず、本実施の形態のデータ処理装置21も、図2に示すように、ダイレクトメモリアクセスコントローラであるDMAC22を一部としているが、この

DMAC22とプロセッサであるCPU4とがシステムバス2だけでなく専用のアクセスライン23によっても接続されている。このアクセスライン23は、CPU4がDMAC22の各部12～16にアクセスするための、アドレス、データ、制御信号、を転送すると共に、ダイレクト転送であるDMA転送の終了を通知するための、割込信号、要求信号、応答信号、を転送する。このようにDMAC22の各部12～16には、DMA転送の制御データが設定されるので、ここにデータ保持手段が設けられている。

【0026】本実施の形態のDMAC22は、上述のように通常のシステムバス2の他に前記アクセスライン23も接続されているので、図1に示すように、通常の内部バス11の他にCPU4のアクセス専用の内部バス24も有している。このDMAC22の内部では、複数のメモリアドレスレジスタ14と複数のI/Oアドレスレジスタ13とは、前記内部バス11、24の両方に接続されており、外部バスI/F制御回路17と複数のバッファ18とは、前記内部バス11のみに接続されている。複数の転送カウンタ12とコントロールレジスタ15とステータスレジスタ16とは、前記内部バス24のみに接続されており、この内部バス24には、転送制御手段であるCPU I/F制御回路25も接続されている。このCPU I/F制御回路25には、前記アクセスライン23とタイマ回路26とが接続されており、前記レジスタ15、16には優先度保持手段となるDMA待機レジスタ27が接続されている。

【0027】前記アクセスライン23はDMAC22の前記内部バス24に接続されており、この内部バス24に前記各部12～16が接続されているので、前述のようにCPU4はDMA転送の最中でもDMAC22の各部12～16にアクセスすることができる。この時、DMAC22の前記CPU I/F制御回路25は、CPU I/FとしてCPU4とのデータ通信を仲介する他、制御回路としてDMAC22の内部処理を統括的に制御する。

【0028】前記タイマ回路26は、現在の時間を常時検出し、これを前記CPU I/F制御回路25に通知する。前記DMA待機レジスタ27は、コントロールレジスタ15に複数のDMA転送の制御データが設定されると、この複数のダイレクト転送の優先度を保持する。より詳細には、CPU4やI/O7からDMAC22にDMA転送の制御データが入力されると、その時刻を前記CPU I/F制御回路25が前記タイマ回路26により検出し、この時刻の順番として複数のDMA転送の優先度が前記DMA待機レジスタ27に設定される。このように複数のDMA転送の優先度が前記DMA待機レジスタ27に保持されると、前記CPU I/F制御回路25は、保持された優先度に従って複数のDMA転送の順番を制御するので、複数のDMA転送は設定された順番に

実行される。

【0029】このような構成において、例えば、CPU 4やI/O 7からDMA転送の制御データがDMAC 22に設定されると、このDMAC 22は、システムバス2をCPU 4から切り離して占有し、メインメモリ3とI/O 7との間で各種データのDMA転送を実行する。この時、DMAC 22には、DMA転送の制御データであるアドレスを保持するレジスタ13、14が複数組設けられているので、複数のDMA転送を連続して実行することができる。

【0030】例えば、本実施の形態のデータ処理装置21をカラープリンタの一部として設け、各色の複数のイメージデータをメインメモリ3から複数のI/O 7に順番にDMA転送するようなことができる。このように複数のDMA転送を実行する場合、本実施の形態のDMAC 22は、複数のDMA転送を制御データが設定された順番に実行するので、複数のDMA転送は整然と実行される。

【0031】このようにDMA転送が実行される場合、CPU 4はシステムバス2を使用できないが、そのデータ処理を内部で実行することはできるので、CPU 4の負担を増加させることなくデータ処理とデータ転送とが高速に実行される。このようにDMA転送と並列にデータ処理を完了したCPU 4は、例えば、そのデータ処理の結果に対応して新規のDMA転送を実行したい場合もある。

【0032】このような場合、CPU 4は、DMA転送の実行中でもアクセスライン23によりDMAC 22に新規のDMA転送の制御データを設定することができ、このDMAC 22は複数のDMA転送を制御データが設定された順番に実行するので、新規のDMA転送も迅速に実行される。

【0033】例えば、上述のようにデータ処理装置21をカラープリンタの一部として設け、複数のI/O 7に順番にDMA転送する複数のイメージデータがメインメモリ3に順番に展開されるならば、最初のイメージデータがメインメモリ3に展開された時点でDMA転送を開始することができ、このDMA転送の実行中に以後のイメージデータを展開してDMA転送を設定することができるので、全体的な処理効率を向上させることができる。

【0034】本実施の形態のデータ処理装置21は、CPU 4とDMAC 22とが専用のアクセスライン23により接続されているので、例えば、DMA転送の実行中にCPU 4がDMAC 22にDMA転送の中止を要求することもできる。

【0035】なお、本発明は上記方式に限定されるものではなく、各種の変形を許容する。例えば、上述したDMAC 22では、複数のDMA転送の優先度を制御データが設定された順番により規定することを例示したが、

このような優先度をI/O 7の重要度に対応して設定しておくことも可能である。この場合、DMAC 22がDMA転送を実行している最中に、重要なI/O 7から新規のDMA転送の制御データがDMAC 22に設定されると、このDMA転送が優先的に実行される。

【0036】また、上記した実施の形態では、DMA転送の実行中に新規のDMA転送が設定されると、実行中のDMA転送が完了してから待機中のDMA転送を優先度の順番に実行することを例示したが、実行中のDMA転送も含めて優先度に従って複数のDMA転送の順番を制御することも可能である。

【0037】この場合、DMA転送の実行中に新規のDMA転送の制御データが各部12～16に設定されると、実行中のDMA転送も含んで全部のDMA転送の優先度がDMA待機レジスタ27により保持される。このように保持された優先度に従って複数のDMA転送の順番がCPU I/F制御回路25により制御されるので、新規に設定されたDMA転送の優先度が待機中のDMA転送より高いと、その優先度に従って待機中のDMA転送の順番が更新される。特に、新規に設定されたDMA転送の優先度が実行中のDMA転送より高いと、実行中のDMA転送が一時中止されて新規のDMA転送が優先的に実行される。

【0038】つまり、実行中のDMA転送より重要なDMA転送を新規に設定すれば、実行中のDMA転送は中止されて重要なDMA転送が即座に開始されるので、重要なデータ処理を迅速に実行することができ、選択的な処理効率を向上させることができる。

【0039】また、上記した実施の形態では、DMAC 22がシステムバス2を占有して複数のDMA転送を連続して実行する場合でも、CPU 4が要求すればDMAC 22はDMA転送を一時中止してシステムバス2を一時開放するが、ある一定データ数DMA転送を実行しないで中断するとI/O 7が正常に機能しない場合もある。これが問題となる場合には、図3に示すように、DMAC 22に中止制御手段として中止制御回路31を付加し、連続する複数のDMA転送の一時中止を適正に制御することが好ましい。

【0040】この中止制御回路31は、要求度保持手段である中断カウンタ32、データ比較手段である比較回路33、実転送カウンタ34、要求転送カウンタ35、を有しており、例えば、コントロールレジスタ15の一部として内部バス24に接続されている。連続して実行する複数のDMA転送の優先度が実転送カウンタ34に保持され、CPU 4によるDMA転送の一時中止の要求度が中断カウンタ32に保持される。これらのカウンタ32、34に保持された要求度と優先度とが比較回路33に比較され、次のDMA転送の優先度が一時中止の要求度より低いと、その開始が一時中止されてシステムバス2がCPU 4に一時開放される。

【0041】このため、CPU4がDMA転送の一時中止を要求度によりDMAC22に設定すると、このDMAC22は順番に実行する複数のDMA転送の優先度が要求度より低下した時点で、DMA転送を一時中止してシステムバス2をCPU4に一時開放する。このため、複数のDMA転送を優先度の順番で連続して実行する場合でも、優先度が高いDMA転送は連続して実行され、優先度が低いDMA転送よりCPU4のデータ処理が優先的に実行される。なお、ここではCPU4が一時中止の要求度をDMAC22に可変自在に設定することを例示したが、このような要求度を所定の基準値としてDMAC22に固定的に設定しておくことも可能である。

【0042】また、上述のような中止制御回路31の動作内容を変更し、連続して実行される複数のDMA転送を、そのデータ数に対応して定期的に一時中止することも可能である。このような場合、実転送カウンタ34を転送カウント手段として、連続して実行される複数のDMA転送のデータ数をカウントし、中断カウンタ32には、所定のデータ数に相当する基準値を予め設定しておく。このような状態で、比較回路33により、実行したDMA転送のデータ数と所定の基準値とを比較し、基準値をデータ数が超過していると次のI/O7のDMA転送の開始を一時中止し、占有したシステムバス2をCPU4に一時開放する。

【0043】この場合、実行したDMA転送のデータ数が基準値を超過すると、複数のDMA転送の連続の実行が一時中止されてCPU4にシステムバス2が一時開放されるので、CPU4は定期的にシステムバス2を利用することができる。なお、ここではDMA転送を一時中止させる基準値を固定的に設定しておくことを例示したが、これをCPU4が一時中止の要求度として可変自在に設定することも可能である。

【0044】また、ここでは複数のI/O7に対して順番に実行するDMA転送を一時中止する際、そのI/O7に対するDMA転送が完了してから一時中止を実行するので、一個のI/O7に対するDMA転送が中断されることがない。しかし、このような実行中のDMA転送も含めてデータ数と所定の基準値とを比較し、基準値にデータ数が到達すると実行中のDMA転送も一時中止することも可能である。この場合、データ数が基準値に到達した時点で実行中のDMA転送でも一時中止されるので、システムバス2を確実なタイミングでCPU4に提供することができる。

【0045】さらに、ここでは複数のDMA転送を順番に実行する過程で一時中止を起動することを例示したが、複数のDMA転送が設定された時点で一時中止のタイミングを設定することも可能である。この場合、図4に示すように、中止制御手段となる中止制御回路41に、転送検出手段である転送カウンタ42、最大転送レジスタ43、データ比較手段である比較演算回路44、

転送分割手段である有効転送カウンタ45、を設け、複数のDMA転送の制御データが設定された時点で、そのデータ数を転送カウンタ42によりカウントして検出する。CPU4が要求する所定の基準値を最大転送レジスタ43に保持させ、複数のDMA転送のデータ数と所定の基準値とを比較演算回路44により比較する。

【0046】この比較の結果、データ数が基準値を超過しない場合には、そのまま複数のDMA転送を連続して実行するが、データ数が基準値を超過した場合には、この基準値をデータ数が超過しない単位に複数のDMA転送を分割する。この演算処理は、比較演算回路44によりデータ数から基準値を繰り返し減算することにより実行され、この演算結果がデータ数として有効転送カウンタ45に設定されるので、この有効転送カウンタ45に設定されたデータ数に対応して複数のDMA転送が分割される。この場合も、連続して実行する複数のDMA転送を定期的に一時中止してCPU4にシステムバス2を一時開放することができ、このタイミングがDMA転送の設定の時点で設定されるので、リアルタイムのデータ処理を軽減することができる。

【0047】

【発明の効果】請求項1記載の発明は、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データによる複数のダイレクト転送の優先度を保持する優先度保持手段を設け、保持された優先度に従って複数のダイレクト転送の順番を制御する転送制御手段を設けたことにより、複数のダイレクト転送を優先度に従って順番に実行することができるので、複数のダイレクト転送を所望の順番に実行することができ、全体的な処理効率を向上させることができる。

【0048】請求項2記載の発明では、データ保持手段は、ダイレクト転送の実行中も新規の制御データの設定を受け付け、優先度保持手段は、ダイレクト転送の実行中に新規の制御データが設定されると、実行中のダイレクト転送も含めて優先度を保持し、転送制御手段は、実行中のダイレクト転送も含めて優先度に従って複数のダイレクト転送の順番を制御することにより、ダイレクト転送の実行中でも優先度が高いダイレクト転送を新規に設定すれば、実行中のダイレクト転送が一時中止されて新規のダイレクト転送が優先的に実行されるので、優先度が高いダイレクト転送を即座に開始することができ、全体的な処理効率を向上させることができる。

【0049】請求項3記載の発明では、ダイレクト転送の一時中止の要求度を保持する要求度保持手段を設け、転送制御手段は、複数のダイレクト転送を連続して実行する場合に、次のダイレクト転送の優先度が一時中止の要求度より低いと、その開始を一時中止してデータバスをプロセッサに一時開放することにより、複数のダイレクト転送を優先度の順番で連続して実行する場合でも、優先度が低いダイレクト転送よりプロセッサのデータ処

10

20

30

40

50

理を優先的に実行することができ、全体的な処理効率を向上させることができる。

【0050】請求項4記載の発明は、複数のダイレクト転送の制御データが設定されるデータ保持手段を設け、設定された制御データに従って複数のダイレクト転送を順番に実行させる転送制御手段を設け、連続して実行される複数のダイレクト転送のデータ数をカウントする転送カウント手段を設け、複数個の入出力装置に対して順番に実行したダイレクト転送のデータ数と所定の基準値とを比較するデータ比較手段を設け、基準値をデータ数

が超過していると次の入出力装置のダイレクト転送の開始を一時中止して占有したデータバスをプロセッサに一時開放する中止制御手段を設けたことにより、複数のダイレクト転送を連続して実行する場合でも、そのデータ数が基準値を超過した時点で次のダイレクト転送が一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行することができ、全体的な処理効率を向上させることができる。

【0051】請求項5記載の発明では、データ比較手段は、実行中のダイレクト転送も含めてデータ数と所定の基準値とを比較し、中止制御手段は、基準値にデータ数が到達すると実行中のダイレクト転送も一時中止することにより、複数の入出力装置のダイレクト転送を連続して実行する場合でも、そのデータ数が基準値に到達した時点で実行中のダイレクト転送まで一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行することができ、全体的な処理効率を向上させることができる。

【0052】請求項6記載の発明は、複数のダイレクト

転送手段を設け、連続して実行される複数のダイレクト転送を分割の単位で一時中止してデータバスをプロセッサに一時開放する中止制御手段を設けたことにより、これから連続して実行される複数のダイレクト転送のデータ数が所定の基準値を超過していると、これが基準値を超過しない単位に分割されてから順番に実行され、その合間にダイレクト転送が一時中止されるので、プロセッサは定期的に一時開放されるデータバスによりデータ処理を実行することができ、全体的な処理効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のダイレクトメモリアクセスコントローラであるDMACを示すブロック図である。

【図2】DMACを一部とするデータ処理装置を示すブロック図である。

【図3】一変形例の中止制御手段である中止制御回路を示すブロック図である。

【図4】他の変形例の中止制御手段である中止制御回路を示すブロック図である。

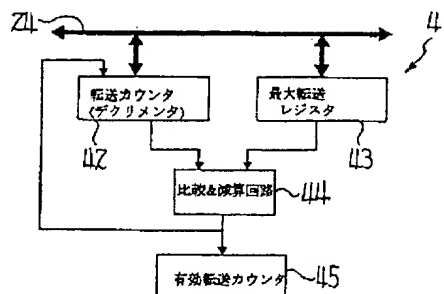
【図5】一従来例のデータ処理装置を示すブロック図である。

【図6】一従来例のDMACを示すブロック図である。

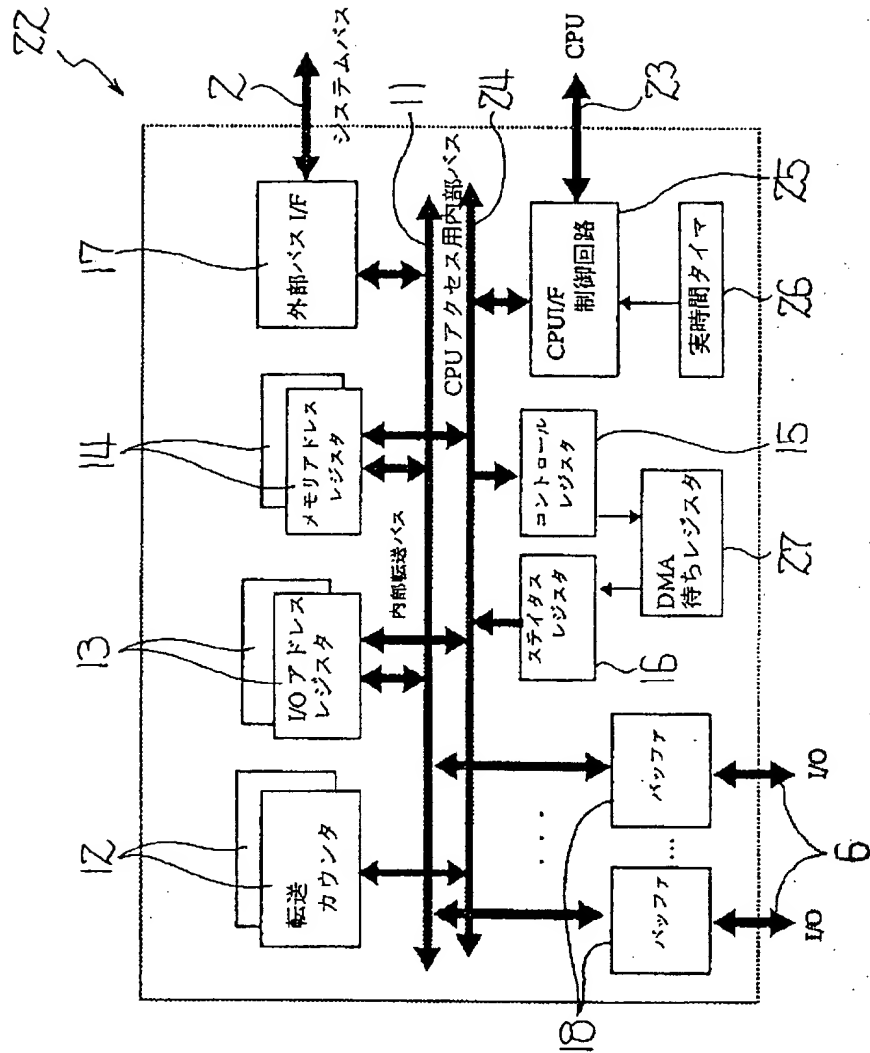
【符号の説明】

- 2 システムバス
- 3 メモリ
- 4 プロセッサ
- 7 入出力装置
- 12～16 データ保持手段
- 22 ダイレクトメモリアクセスコントローラ
- 25 転送制御手段
- 27 優先度保持手段
- 32 要求度保持手段
- 33 データ比較手段
- 34 転送カウント手段
- 42 転送検出手段
- 45 転送分割手段

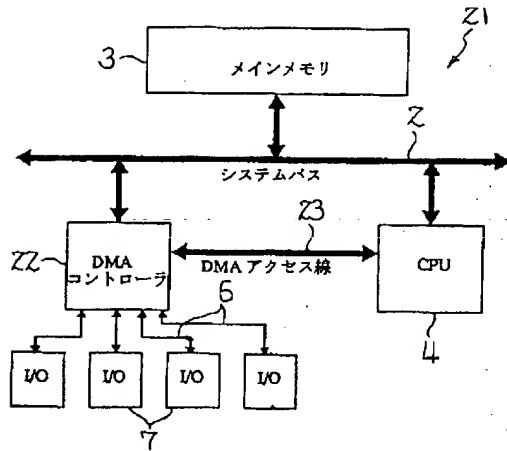
【図4】



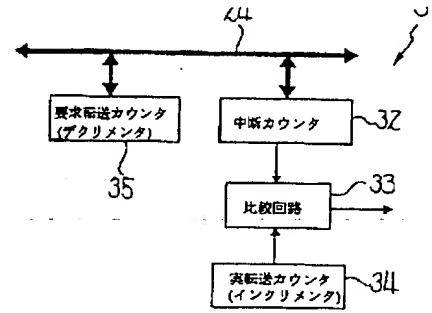
【図1】



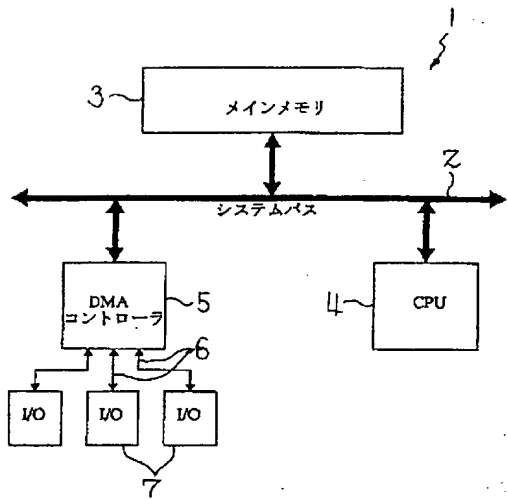
【図2】



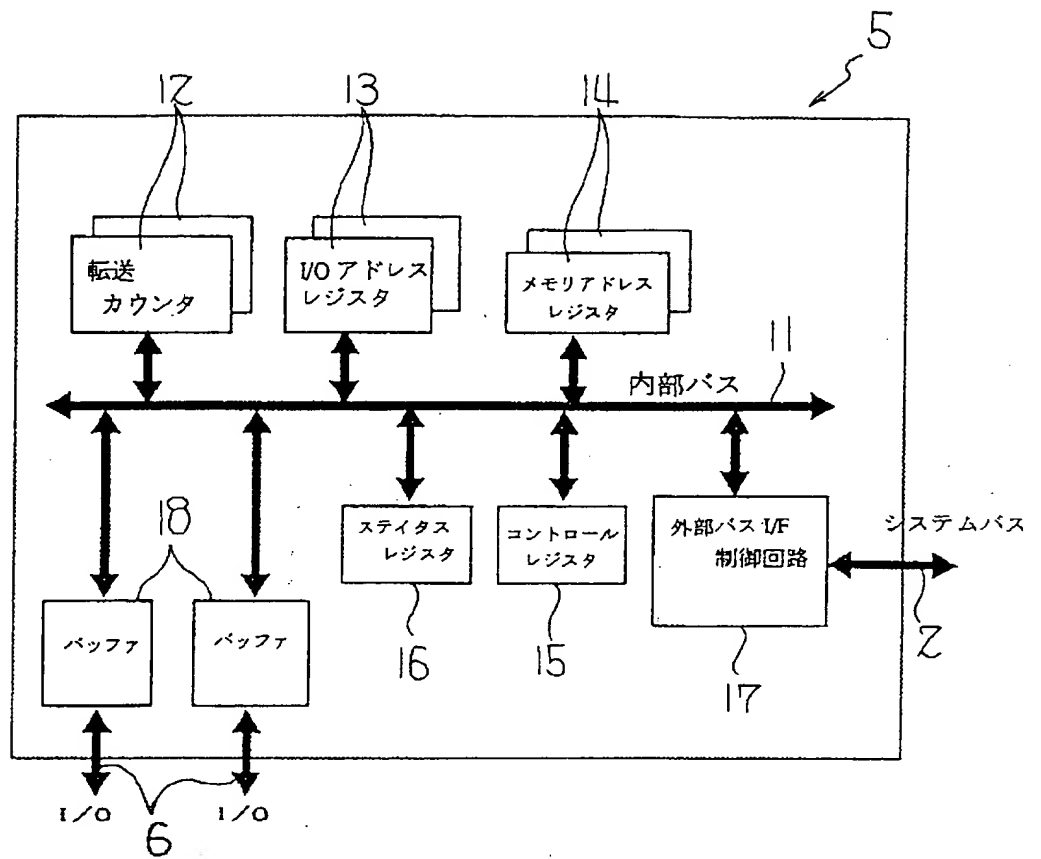
【図3】



【図5】



【図6】



THIS PAGE BLANK (USPTO)